

Clocked CMOS circuit with at least one CMOS switch.

Patent number: EP0252999
Publication date: 1988-01-20
Inventor: THEUS ULRICH DR ING; ORBEN HANS-JOSEF DIPL-ING FH
Applicant: ITT IND GMBH DEUTSCHE (DE)
Classification:
- international: H03K17/693; H03K17/687
- european: H03K17/687B2; H03K17/693
Application number: EP19860109362 19860709
Priority number(s): EP19860109362 19860709

Also published as

US480181
JP630996
EP025299

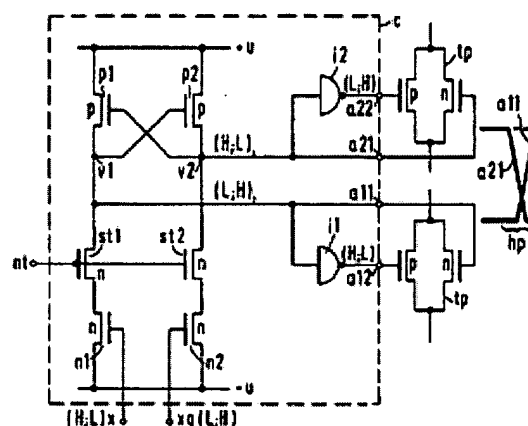
Cited documents:

US400160
US450898
US398604
EP011583
JP580717
more >>

Abstract not available for EP0252999

Abstract of correspondent: **US4801819**

To avoid interference signals caused by overlapping edges of a switching signal for driving p-channel-transistor/n-channel-transistor pairs, a drive circuit contains a first series combination of the current paths of a first p-channel transistor, a first n-switching transistor, and a first n-channel transistor and a second series combination of a second p-channel transistor, a second n-switching transistor and a second n-channel transistor, with the gate of the first p-channel transistor connected to the current-path junction of the second series combination, and the gate of the second p-channel transistor connected to the current-path junction of the first series combination. The switching signal and the inverse thereof are applied to the gates of the first n-channel transistor and the second n-channel transistor, respectively. The gates of the n-switching transistors are presented with the n-clock. The first and second current-path junctions are followed by a first inverter and a second inverter, respectively. If the transistor pair is to be turned on by the L or H level of the switching signal, the gate of the n-channel transistor of the pair is connected to the first current-path junction or the second current-path junction, respectively, and the gate of the p-channel transistor to the output of the first inverter or the second inverter, respectively.





Europäisches Patentamt
European Patent Office
Office européen des brevets

⑪ Veröffentlichungsnummer: **0 252 999**
A1

EUROPÄISCHE PATENTANMELDUNG

②① Anmeldenummer: 86109362.3

Int. Cl.4: H03K 17/693, H03K 17/687

② Anmeldetag: 09.07.86

④3 Veröffentlichungstag der Anmeldung:
20.01.88 Patentblatt 88/03

Benannte Vertragsstaaten:
DE FR GB IT NL

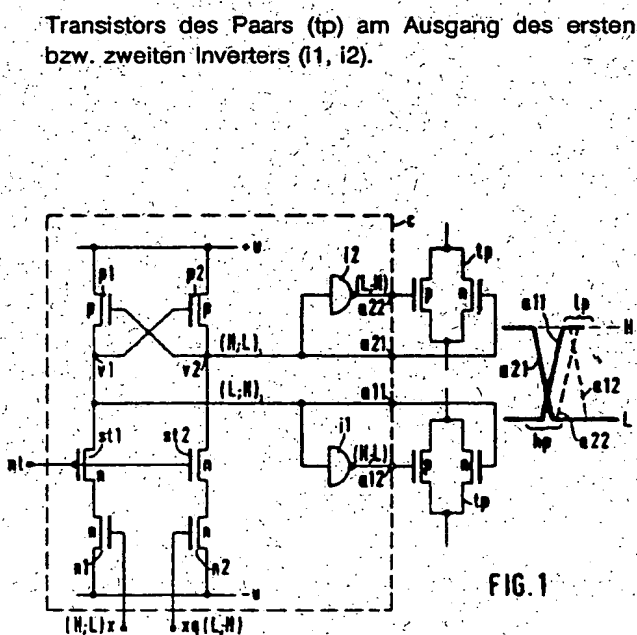
71 Anmelder: Deutsche ITT Industries GmbH
Hans-Bunte-Strasse 19 Postfach 840
D-7800 Freiburg(DE)

72 Erfinder: Theus, Ulrich, Dr. Ing.
Schönbergstrasse 5b
D-7803 Gundelfingen(DE)
Erfinder: Orben, Hans-Josef, Dipl.-Ing. (FH)
Bergstrasse 7
D-7803 Heuweller(DE)

74 Vertreter: Morstadt, Volker, Dipl.-Ing.
c/o Deutsche ITT Industries GmbH
Patent/Lizenzabteilung Postfach 840
Hans-Bunte-Strasse 19
D-7800 Freiburg/Brsq.(DE)

54 Getaktete CMOS-Schaltung mit mindestens einem CMOS-Schalter.

57) Zur Vermeidung von Störsignalen durch überlappende Flanken des Schaltsignals (x, xq) bei der Ansteuerung von p-Kanal-Transistor/n-Kanal-Transistor-Paaren (tp) enthält diese Ansteuerschaltung die jeweils in Serie geschalteten gesteuerten Strompfade des ersten p-Kanal-Transistors (p1), des ersten n-Schalttransistors (st1) und des ersten n-Kanal-Transistors (n1) bzw. des zweiten p-Kanal-Transistors (p2), des zweiten n-Schalttransistors (st2) und des zweiten n-Kanal-Transistors (n2), wobei das Gate des p-Kanal-Transistors (p1) am Strompfad-Verbindungspunkt (v2) der anderen Serienschaltung und das Gate des p-Kanal-Transistors (p2) am Strompfad-Verbindungspunkt (v1) der ersten Serienschaltung liegt. Das Schaltsignal (x) bzw. dessen Inverses (xq) liegt am Gate des n-Kanal-Transistors (n1) bzw. dem des n-Kanal-Transistors (n2). Den Gates der n-Schalttransistoren (st1, st2) ist der n-Takt (nt) zugeführt. Schließlich ist dem ersten bzw. zweiten Strompfad-Verbindungspunkt (v1, v2) der erste bzw. zweite Inverter (i1, i2) nachgeschaltet. Wenn das Transistorpaar (tp) vom L- bzw. H-Pegel des Schaltsignals (x) leitend zu steuern ist, liegt das Gate des n-Kanal-Transistors des Paares (tp) am ersten bzw. zweiten Strompfad-Verbindungspunkt (v1, v2) und das Gate des p-Kanal-



Getaktete CMOS-Schaltung mit mindestens einem CMOS-Schalter

Die Erfindung betrifft eine getaktete CMOS-Schaltung, bei der dem jeweiligen Gate von p-bzw. n-Kanal-Schalttransistoren (= n-bzw. p-Schalttransistoren) und/oder dem von mindestens einem als CMOS-Schalter dienenden n-Kanal/p-Kanal-Transistor-Paar (= Transistorpaar) jeweils eines von zwei zueinander inversen Taktsignalen (= n-bzw. p-Takt) zugeführt ist, vgl. den Oberbegriff des Anspruchs 1.

Der einfachste derartige CMOS-Schalter ist bekanntlich (US-PS 34 57 435) das CMOS-Transmission-Gate, bei dem die gesteuerten Strompfade der beiden Transistoren des Transistorpaares parallelgeschaltet sind und zum Leitend- und Gesperrtsteuern am Gate seines n-Kanal-bzw. p-Kanal-Transistors der n-bzw. p-Takt angelegt wird.

Der Oberbegriff des Anspruchs geht von der europäischen Patentanmeldung EP-A 115 834, insbesondere Fig. 2c, 3a, 3b, 3f, 3g mit Beschreibung auf den Seiten 4 bis 8 aus. Danach tritt bei derartigen CMOS-Schaltungen das Problem der clock races auf, also ein Sachverhalt, bei dem es zu schnellerer als taktsynchron erfolgenden Nutzsignaldurchschaltung kommt, was auf die Flankenüberlappung der Taktsignale zurückzuführen ist. Die Lösung dieses Problems wird nach der genannten EP-A in einer insgesamt getakteten CMOS-Schaltung gesehen, bei der die einzelnen Teilschaltungen, insbesondere von logischen Gattern, im Hinblick auf die race-Freiheit speziell ausgelegt sind.

Die Erfinder haben ferner festgestellt, daß durch die Flankenüberlappung außerdem am Ausgang der Transistorpaare kurze Störimpulse, die als Nutzsignale wirken können, auftreten. Dies ist insbesondere dann von Nachteil, wenn z.B. mehrere solcher Paare zu einem Schaltnetzwerk vereinigt sind, etwa dadurch daß die gesteuerten Strompfade mehrerer n-Kanaltransistoren in Serie geschaltet eine erste Reihenschaltung bilden, die gesteuerten Strompfade einer gleichen Anzahl von p-Kanaltransistoren ebenfalls in Serie geschaltet eine zweite Reihenschaltung bilden und beide Reihenschaltungen parallelgeschaltet sind.

Die Aufgabe der in den Ansprüchen angegebenen Erfindung besteht in der Vermeidung dieser Störimpulse.

Nach der Erfindung wird unterschieden, ob das Transistorpaar vom H-Pegel des Schaltsignals oder von dessen L-Pegel leitend gesteuert werden soll. Auf dieser Unterscheidung fußend besteht der Grundgedanke der Erfindung darin, für die beiden Schaltsignalpegel getrennte Zweige zur Erzeugung und Zuführung der Taktsignale an die CMOS-

Schalter vorzusehen, und zwar derart, daß die Flankenüberlappung in beiden Fällen nur im gesperrten Zustand der Transistoren des jeweiligen Transistorpaares auftritt.

Die Erfindung wird nun anhand der Figuren der Zeichnung näher erläutert.

Fig. 1 zeigt das Schaltbild eines Ausführungsbeispiels der Erfindung,

Fig. 2 zeigt das Schaltbild einer Weiterbildung der Erfindung, und

Fig. 3 zeigt das stark schematisierte Schaltbild einer Ausgestaltung der Erfindung für mehrere Schaltsignale und Transistorpaare.

Das Schaltbild des Ausführungsbeispiels nach Fig. zeigt die Ansteuerschaltung c für die beiden gezeigten Transistorpaare tp, die als die erwähnten CMOS-Transmission-Gates gezeichnet sind, wobei das obere Transistorpaar durch den H-Pegel und das untere Transistorpaar durch den L-Pegel des Schaltsignals x leitend gesteuert wird. Die erwähnten Schaltsignalpegel sind an den einzelnen Punkten der Schaltung jeweils mit den entsprechenden Großbuchstaben derart in Klammern angegeben, daß wie beim Schaltsignal x an erster Stelle in der Klammer der dem H-Pegel zugehörige und nach dem Strichpunkt der dem L-Pegel zugehörige Signalwert angegeben ist. Da bekanntlich ein p-Kanal-Transistor durch einen L-Pegel und ein n-Kanal-Transistor durch einen H-Pegel leitend gesteuert wird, wird also der H-Pegel des Schaltsignals x, dem der L-Pegel des inversen Schaltsignals xq zugeordnet ist, die beiden Transistoren des oberen Transistorpaares tp leitend steuern, da dem Gate des p-Kanal-Transistors über den Ausgang a22 der Ansteuerschaltung c ein L-Pegel und dem Gate des n-Kanal-Transistors über den Ausgang a22 ein H-Pegel zugeführt ist; an den beiden Ausgängen a21, a22 wird also das H-Steuersignalpaar hp abgegriffen.

Die umgekehrten Verhältnisse liegen beim unteren Transistorpaar tp vor, das vom L-Pegel des Schaltsignals x leitend gesteuert wird, da dem Gate des p-Kanal-Transistors über den Ausgang a12 der Ansteuerschaltung c ein L-Pegel und dem Gate des n-Kanal-Transistors über den Ausgang a11 ein H-Pegel zugeführt wird; an den beiden Ausgängen a11, a12 wird also das L-Steuersignalpaar lp abgegriffen.

In Fig. ist rechts neben den beiden Transistorpaaren tp der Signalverlauf des jeweiligen Steuersignalpaares hp, lp für die genannten beiden Pegel des Schaltsignals x schematisch gezeichnet, und zwar für einen Schaltsignalwechsel von H nach L, wobei das untere Transistorpaar tp durch diesen Wechsel leitend gesteuert werden soll; dieser (neue) Schalt-

zustand entspricht also den jeweils rechts von der Kreuzung der Flanken liegenden Kurventeilen. Es ist ersichtlich, daß die Flankenüberlappung schon zu einem Zeitpunkt erfolgt, in dem die jeweilige Amplitude der beiden Steuersignale eines Paares noch so groß ist, daß jeder Transistor jedes Transistorpaars tp vollständig gesperrt ist. Würde das obere Transistorpaar tp ebenfalls wie das untere an den Ausgängen a11, a12 angeschlossen sein, so würden, da der Flankenkreuzungspunkt bei einem H/L-Wechsel des Schaltsignals x dann in der Nähe des L-Pegels liegt, beide Transistoren kurzzeitig leitend sein und so einen Störimpuls ermöglichen.

Im Ausführungsbeispiel der Fig. 1 hat die Ansteuerschaltung c den folgenden Aufbau: Zwischen dem positiven Pol +u und dem negativen Pol -u der Betriebsspannungsquelle liegen in dieser Reihenfolge zwei Serienschaltungen aus jeweils einem p-Kanal-Transistor, einem p-Schalttransistor und einem n-Kanal-Transistor. Dies sind in der einen Serienschaltung der erste p-Kanal-Transistor p1, der erste n-Schalttransistor st1 und der erste n-Kanal-Transistor n1 und in der anderen Serienschaltung der zweite p-Kanal-Transistor p2, der zweite n-Schalttransistor st2 und der zweite n-Kanal-Transistor n2. Das Gate des ersten bzw. des zweiten p-Kanal-Transistors p1, p2 liegt am Strompfad-Verbindungspunkt des zweiten p-Kanal-Transistors p2 und des zweiten n-Schalttransistors st2 (im folgenden kurz zweiter Strompfad-Verbindungspunkt v2 genannt) bzw. am entsprechend benannten ersten Strompfad-Verbindungspunkt v1 des ersten p-Kanal-Transistors p1 und des ersten n-Schalttransistors st1. Das jeweilige Gate der n-Schalttransistoren st1, st2 ist mit dem n-Takt nt gespeist. Dies ist das eine der beiden zueinander inversen, in getakteten CMOS-Schaltungen üblichen Taktsignale, vgl. die eingangs genannte EP-A.

Dem Gate des ersten n-Kanal-Transistors n1 ist das binäre Schaltsignal x und dem des zweiten n-Kanal-Transistors n2 das dazu inverse Schaltsignal xq zugeführt. Dem ersten bzw. zweiten Strompfad-Verbindungspunkt v1, v2 ist der erste bzw. zweite Inverter i1, i2 nachgeschaltet, deren jeweiliger Ausgang zum Ausgang a12 bzw. a22 der Ansteuerschaltung c führt, während der Ausgang a11, a21 am ersten bzw. zweiten Strompfad-Verbindungspunkt v1, v2 direkt angeschlossen ist.

Hat der n-Takt einen H-Pegel, wird durch einen H-Pegel des Schaltsignals x der erste n-Kanal-Transistor n1 leitend gesteuert und durch den inversen L-Pegel des inversen Schaltsignals xq zugleich der zweite n-Kanal-Transistor n2 in den Sperrzustand gesteuert. Ändert das Schaltsignal x seinen Zustand in einen L-Pegel sowie das inverse Schaltsignal xq in einen H-Pegel, so treten gerade die umgekehrten Verhältnisse ein.

Die Fig. 2 zeigt das Schaltbild einer Weiterbildung der Erfindung, und zwar dahingehend, daß die nunmehr vorliegende Ansteuerschaltung c' zwei weitere Inverter aufweist. Sollen nämlich mit der Ansteuerschaltung c nach Fig. 1 mehrere, wenn nicht sogar viele Transistorpaare tp angesteuert werden, so muß die Ansteuerschaltung c dazu in der Lage sein, deren viele Gate-Kapazitäten auch ausreichend schnell aufzuladen. Dazu ist es bekanntlich erforderlich, die Ausgangsstufen von dafür erforderlichen Treiberschaltungen im Layout der integrierten Schaltung entsprechend großflächig auszubilden. Bei Fig. 2 wird dies dadurch erreicht, daß dem ersten bzw. zweiten Inverter i1, i2 der dritte bzw. vierte Inverter i3, i4 vorgeschaltet ist, von dessen jeweiligem Ausgang das Transistorpaar tp und der erste bzw. der zweite Inverter i1, i2 anstatt vom ersten bzw. zweiten Strompfad-Verbindungspunkt v1, v2 angesteuert ist. Die vier Inverter sind dann entsprechend der anzusteuern den Lastkapazität flächenmäßig dimensioniert. Die übrigen Bestandteile der Ansteuerschaltung c' nach Fig. 2 sind identisch mit denen der Ansteuerschaltung c nach Fig. 1.

Die Fig. 3 zeigt schließlich das stark schematisierte Schaltbild einer Anordnung, die mittels k binärer Schaltsignale $x_1 \dots x_j \dots x_k$ maximal $2^k = m$ elektronische Schalter $s_1 \dots s_i \dots s_m$ leitend steuert. Dabei ist jeweils eines der k binären Schaltsignale einer von k Ansteuerschaltungen $c_1 \dots c_j \dots c_k$ zugeführt, die entsprechend einer der Anordnungen nach den Fig. 1 bis 3 ausgebildet sein können; darauf weist auch die gestrichelt gezeichnete Eingangsleitung für den n-Takt nt hin.

Von den maximal möglichen m elektronischen Schaltern sind die Schalter s_1, s_i und s_m in Fig. 3 gezeigt. Sie bestehen jeweils, wie oben schon kurz erwähnt wurde, aus der ersten Serienschaltung der gesteuerten Strompfade von k p-Kanal-Transistoren und der zweiten Serienschaltung der gesteuerten Strompfade von k n-Kanal-Transistoren, welche beiden Serienschaltungen parallelgeschaltet sind und zwischen dem Ein- und Ausgang des elektronischen Schalters angeordnet sind. Jeweils ein n- und ein p-Kanal-Transistor vom gleichen Index bilden ein Transistorpaar tp. In Abhängigkeit davon, mit welchem Binärpegel des zugeordneten Schaltsignals $x_1 \dots x_j \dots x_k, x_{1q} \dots x_{jq} \dots x_{kq}$ die Transistoren des jeweiligen Transistorpaars leitend gesteuert werden sollen, sind die Gates der p-Kanal-Transistoren mit den Ausgängen a12 oder a22 und die Gates der n-Kanal-Transistoren mit den Ausgängen a11 oder a21 der jeweiligen Ansteuerschaltung verbunden.

So liegen im elektronischen Schalter s_1 die Gates des ersten und des letzten p-Kanal-Transistors am jeweiligen Ausgang a22 der ersten bzw. letzten Ansteuerschaltung c_1, c_k , während des

Gate des j-ten p-Kanal-Transistors am Ausgang 12 der Ansteuerschaltung c_j angeschlossen ist. Demzufolge liegt das Gate des jeweils zugeordneten n-Kanal-Transistors am Ausgang a21 bzw. a11 der Ansteuerschaltungen c_1 , c_k bzw. c_j .

Im elektronischen Schalter s_i ist das Gate des ersten p-Kanal-Transistors mit dem Ausgang a12 der Ansteuerschaltung c_1 verbunden, während das Gate des j-ten und das des letzten p-Kanal-Transistors mit dem jeweiligen Ausgang a22 der Ansteuerschaltung c_j , c_k verbunden ist. Entsprechend liegt das Gate des ersten n-Kanal-Transistors am Ausgang a11 der Ansteuerschaltung c_1 und das jeweilige Gate des j-ten bzw. letzten n-Kanal-Transistors am jeweiligen Ausgang a21 der Ansteuerschaltung c_j bzw. c_k .

Beim letzten elektronischen Schalter s_m ist das erste Transistorpaar den Ausgängen a21, a22 der Ansteuerschaltung c_1 , dagegen das j-te und das letzte Transistorpaar den Ausgängen a11, a12 der Ansteuerschaltungen c_j bzw. c_k zugeordnet.

Die Anordnung nach Fig. 3 kann z.B. als Datenselektor dienen, mit dem aus m Stellen eines Datensignals in Abhängigkeit der k Stellen des Schaltsignals eine entsprechende Auswahl getroffen werden kann.

Da bei der Erfindung die Ansteuersignale für das jeweilige Gate der Transistoren des Transistorpaares für jeden der beiden Signalpegel des Schaltsignals getrennt so erzeugt werden, daß die Überlappung nur im inaktiven Bereich der Transistoren auftritt, treten auch bei umfangreichen Anordnungen mit einer Vielzahl von Transistorpaaren, vgl. z.B. die Fig. 3, keine Störimpulse auf, wie dies der Fall wäre, wenn für beide Pegel des Schaltsignals dieselben Ansteuersignale der Transistorpaare vorgesehen würden.

Die CMOS-Schaltung nach der Erfindung wird selbstverständlich im Rahmen integrierter Schaltungen realisiert, wie dies für CMOS-Schaltungen generell üblich ist.

Ansprüche

1. Getaktete CMOS-Schaltung, bei der dem jeweiligen Gate von p-bzw. n-Kanal-Schalttransistoren (= n-bzw. p-Schalttransistoren) und/oder dem von mindestens einem als CMOS-Schalter dienenden n-Kanal-/p-Kanal-Transistor-Paar (= Transistorpaar) (tp) jeweils eines von zwei zueinander inversen Taktsignalen (= n-bzw. p-Takt) zugeführt ist, dadurch gekennzeichnet, daß aus dem n-Takt (nt) und einem zum Schalten des der CMOS-Schalter(s) dienenden Schaltsignal (x) sowie dessen Inversem (xq) ein H-bzw. L-Steuersignalkonstellationspaar (hp, lp) zweier zueinander inverser Signale mittels einer Ansteuerschaltung (c) erzeugt und

einem CMOS-Schalter zugeführt ist, der vom H-Pegel bzw. L-Pegel des Schaltsignals (x) leitend zu steuern ist.

2. CMOS-Schaltung nach Anspruch 1 mit einer wie folgt aufgebauten Ansteuerschaltung (c):

-zwischen dem positiven (+u) und dem negativen Pol (-u) einer Betriebsspannungsquelle liegen in dieser Reihenfolge jeweils die in Serie geschalteten gesteuerten Strompfade eines ersten p-Kanal-Transistors (p1), eines ersten n-Schalttransistors (st1) und eines ersten n-Kanal-Transistors (n1) bzw. eines zweiten p-Kanal-Transistors (p2), eines zweiten n-Schalttransistors (st2) und eines zweiten n-Kanal-Transistors (n).

-das Gate des ersten p-Kanal-Transistors (p1) liegt am Strompfad-Verbindungspunkt des zweiten p-Kanal-Transistors (p2) und des zweiten n-Schalttransistors (st2) (= zweiter Strompfadverbindungspunkt) (v2) und das Gate des zweiten p-Kanal-Transistors (p2) am Strompfad-Verbindungspunkt des ersten p-Kanal-Transistors (p1) und des ersten n-Schalttransistors (st1) (= erster Strompfad-Verbindungspunkt) (v1),

-dem Gate des ersten n-Kanal-Transistors (n1) ist das Schaltsignal (x) und dem des zweiten n-Kanal-Transistors (n2) das dazu inverse Schaltsignal (xq) zugeführt,

-den Gates der n-Schalttransistoren ist der n-Takt (nt) zugeführt,

-dem ersten bzw. zweiten Strompfad-Verbindungspunkt (v1, v2) ist ein erster bzw. zweiter Inverter (i1, i2) nachgeschaltet, und

-wenn das Transistor-Paar (tp) vom L-bzw. H-Pegel des Schaltsignals (x) leitend zu steuern ist, liegt das Gate von dessen n-Kanal-Transistor am ersten bzw. am zweiten Strompfadverbindungspunkt (v1, v2) und das Gate von dessen p-Kanal-Transistor am Ausgang des ersten bzw. zweiten Inverters (i1, i2).

3. CMOS-Schaltung nach Anspruch 2 mit entsprechend der anzusteuernenden Lastkapazität flächenmäßig dimensioniertem, dem ersten bzw. dem zweiten Inverter (i1, i2) vorgeschaltetem dritten bzw. vierten Inverter (i3, i4), von dessen jeweiligem Ausgang das Transistorpaar (tp) und der erste bzw. zweite Inverter (i1, i2) anstatt vom ersten bzw. zweiten Strompfad-Verbindungspunkt (v1, v2) angesteuert ist.

4. CMOS-Schaltung nach Anspruch 2 oder 3, die mittels k binärer Schaltsignale ($x_1 \dots x_j \dots x_k$), von denen jeweils eines jeweils einer von k Ansteuerschaltungen ($c_1 \dots c_j \dots c_k$) zugeführt ist, maximal $2_k = m$ elektronische Schalter ($s_1 \dots s_i \dots s_m$) leitend steuert, von denen jeder aus einer ersten bzw. zweiten Serienschaltung der gesteuerten Strompfade von k p-Kanal-Transistoren bzw. k n-Kanal-Transistoren besteht, welche beiden

Serienschaltungen parallel zwischen dem Eingang und dem Ausgang des elektronischen Schalters liegen.

6

10

15

20

25

30

35

40

45

50

55

5

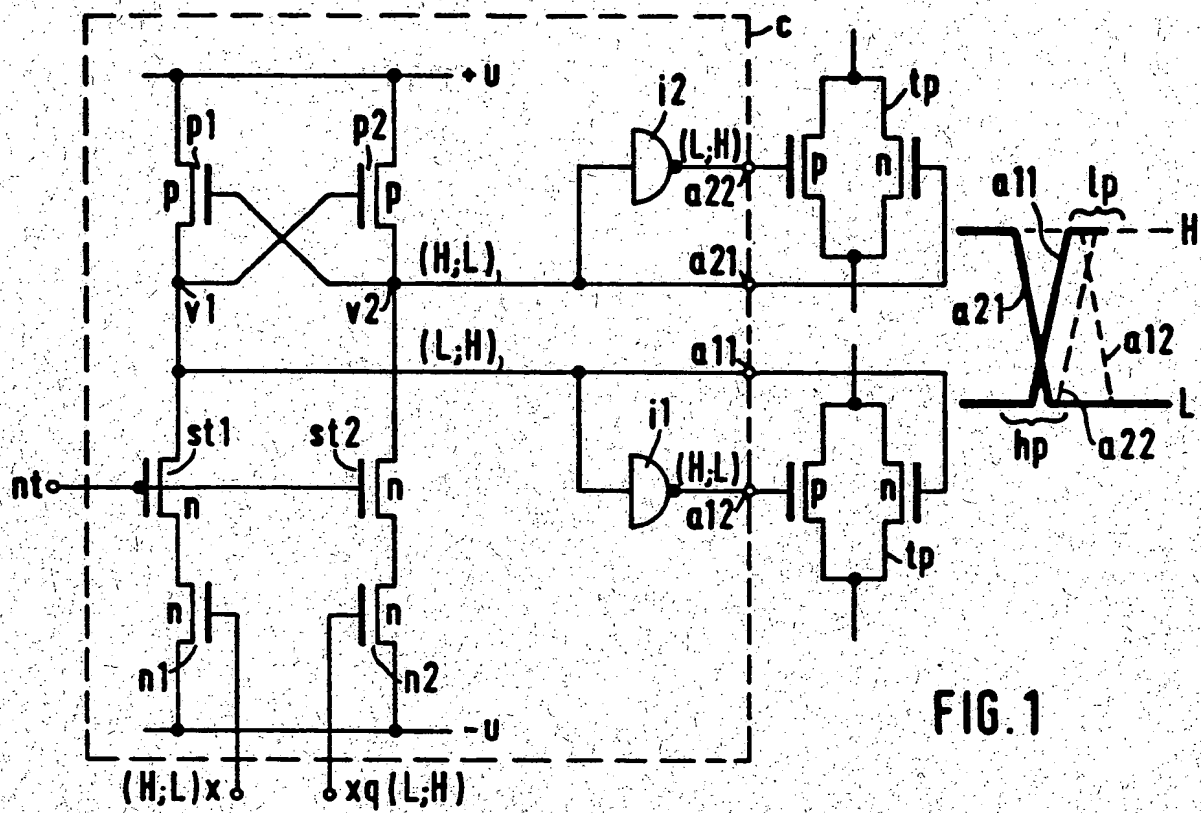


FIG. 1

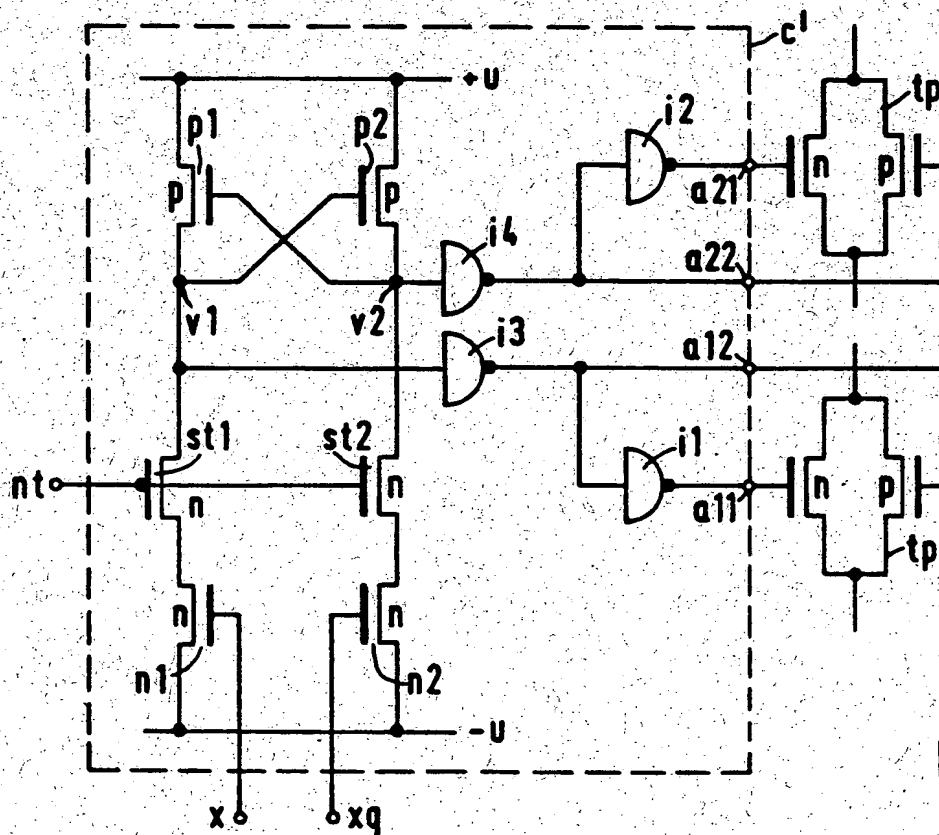


FIG. 2

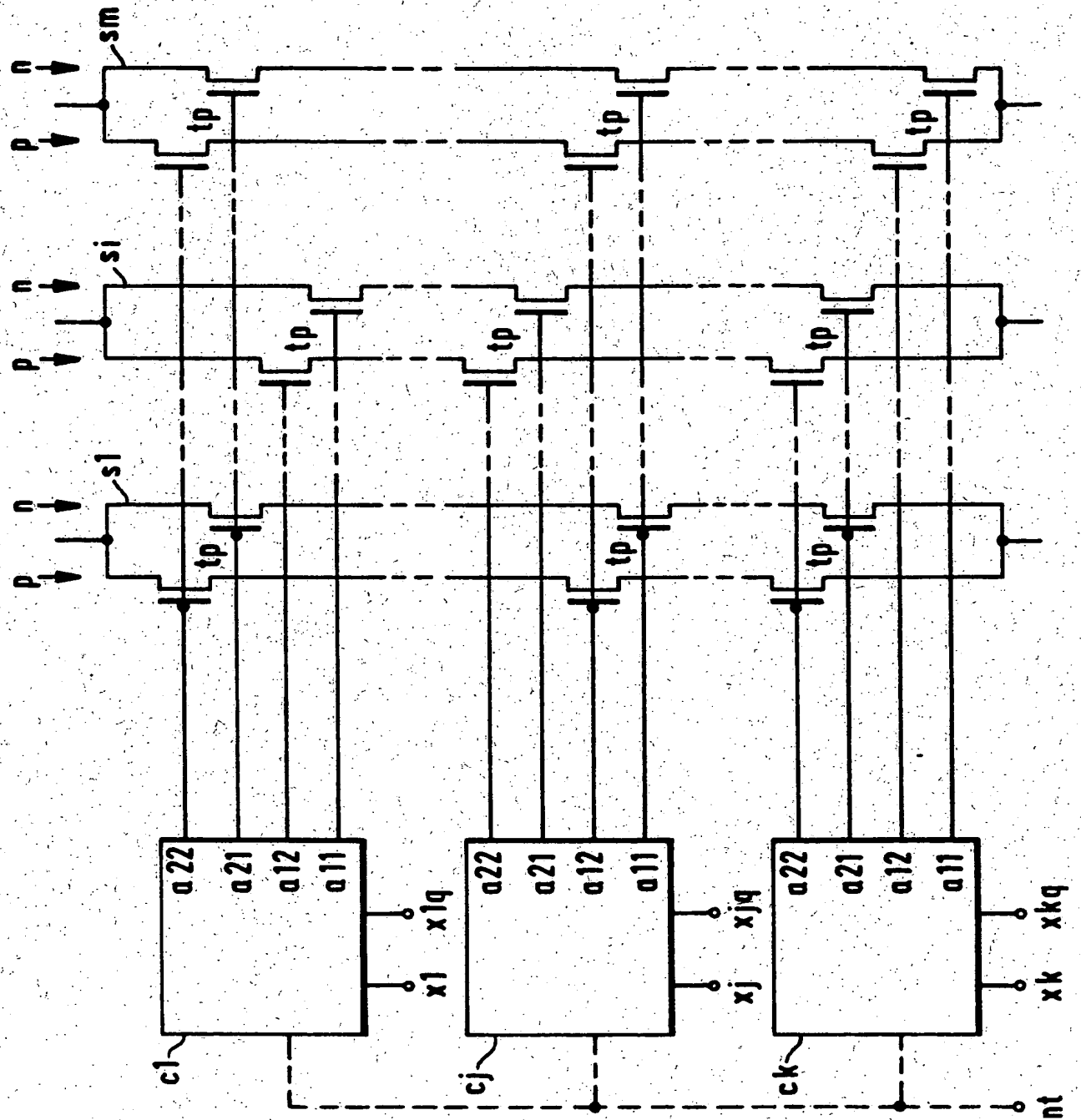


FIG. 3



| EINSCHLÄGIGE DOKUMENTE | | | | | | |
|--|--|---|--|---------------------|--|---|
| Kategorie | Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile | Betrifft Anspruch | KLASSIFIKATION DER ANMELDUNG (Int. Cl. 4) | | | |
| Y | US-A-4 001 606 (DINGWALL) * Figuren 2,3; Spalte 2, Zeile 33 - Spalte 7, Zeile 7 * | 1,2,4 | H 03 K 17/693 H 03 K 17/687 | | | |
| Y | --- PATENTS ABSTRACTS OF JAPAN, Band 7, Nr. 166 (E-188)[1311], 21. Juli 1983; & JP-A-58 71 717 (HITACHI SEISAKUSHO K.K.) 28-04-1983 * Insgesamt * | 1,2,4 | | | | |
| Y | --- PATENTS ABSTRACTS OF JAPAN, Band 7, Nr. 111 (E-175)[1256], 14. Mai 1983; & JP-A-58 30 231 (EPUSON K.K.) 22-02-1983 * Insgesamt * | 4 | | | | |
| A | --- PATENTS ABSTRACTS OF JAPAN, Band 7, Nr. 133 (E-78)[8221], 8. November 1978; & JP-A-53 101 260 (MITSUBISHI DENKI K.K.) 09-04-1978 | 4 | RECHERCHIERTE SACHGEBIETE (Int. Cl. 4) H 03 K 17/00 H 03 K 19/00 | | | |
| A | --- US-A-4 508 983 (ALLGOOD et al.) * Figuren 1,2; Spalte 2, Zeile 28 - Spalte 4, Zeile 38 * | 1 | | | | |
| A | --- US-A-3 986 046 (WUNNER) * Figuren 1-4; Spalte 4, Zeile 44 - Spalte 9, Zeile 42 * | 1 | | | | |
| | --- -/- | | | | | |
| Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt. | | | | | | |
| Recherchenort DEN HAAG | | Abschlußdatum der Recherche 19-02-1987 | Prüfer DAVIS A.G.W. | | | |
| <table border="0"><tr><td>EPA Form 1503 03 82</td><td>KATEGORIE DER GENANNTEN DOKUMENTE X von besonderer Bedeutung allein betrachtet Y von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A technologischer Hintergrund O mündliche Offenbarung P Zwischenliteratur T der Erfindung zugrunde liegende Theorien oder Grundsätze</td><td>E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</td></tr></table> | | | | EPA Form 1503 03 82 | KATEGORIE DER GENANNTEN DOKUMENTE X von besonderer Bedeutung allein betrachtet Y von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A technologischer Hintergrund O mündliche Offenbarung P Zwischenliteratur T der Erfindung zugrunde liegende Theorien oder Grundsätze | E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument |
| EPA Form 1503 03 82 | KATEGORIE DER GENANNTEN DOKUMENTE X von besonderer Bedeutung allein betrachtet Y von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A technologischer Hintergrund O mündliche Offenbarung P Zwischenliteratur T der Erfindung zugrunde liegende Theorien oder Grundsätze | E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument | | | | |



EP 86 10 9362

| EINSCHLÄGIGE DOKUMENTE | | | Seite 2 | | | | | | | | | | | | | | |
|---|---|---|--|-----------------------------------|--|--|---|---|---|---------------------------------|--|---------------------------|--|-----------------------|--|--|---|
| Kategorie | Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile | Betrifft Anspruch | KLASSIFIKATION DER ANMELDUNG (Int. Cl.4) | | | | | | | | | | | | | | |
| D, A | EP-A-0 115 834 (TOSHIBA) * Figuren 2,3; Seite 4, Zeile 31 - Seite 8, Zeile 35 * | 1 | | | | | | | | | | | | | | | |
| A | --- IEEE JOURNAL OF SOLID-STATE CIRCUITS, Band SC-18, Nr. 3, Juni 1983, Seiten 369-376, IEEE, New York, US; M. ROCCHI et al.: "GaAs digital dynamic IC's for applications up to 10 GHz" * Figur 6; Seite 371, rechte Spalte, Zeile 15 - Seite 372, linke Spalte, Zeile 7 * | 1 | | | | | | | | | | | | | | | |
| A | --- IEEE JOURNAL OF SOLID-STATE CIRCUITS, Band SC-18, Nr. 3, Juni 1983, Seiten 261-266, IEEE, New York, US; N.F. GONCALVES: "NORA: A racefree dynamic CMOS technique for pipelined logic structures" * Figur 1; Seite 261, linke Spalte, Zeile 29 - Seite 262, linke Spalte, Zeile 10 * | 1 | | | | | | | | | | | | | | | |
| | | | RECHERCHIERTE SACHGEBIETE (Int. Cl.4) | | | | | | | | | | | | | | |
| Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt. | | | | | | | | | | | | | | | | | |
| Recherchenort DEN HAAG | | Abschlußdatum der Recherche 19-02-1987 | Prüfer DAVIS A.G.W. | | | | | | | | | | | | | | |
| <table border="0"><tr><td>KATEGORIE DER GENANNTEN DOKUMENTE</td><td>E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist</td></tr><tr><td>X : von besonderer Bedeutung allein betrachtet</td><td>D : in der Anmeldung angeführtes Dokument</td></tr><tr><td>Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie</td><td>L : aus andern Gründen angeführtes Dokument</td></tr><tr><td>A : technologischer Hintergrund</td><td></td></tr><tr><td>O : mündliche Offenbarung</td><td></td></tr><tr><td>P : Zwischenliteratur</td><td></td></tr><tr><td>T : der Erfindung zugrunde liegende Theorien oder Grundsätze</td><td>& : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</td></tr></table> | | | | KATEGORIE DER GENANNTEN DOKUMENTE | E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist | X : von besonderer Bedeutung allein betrachtet | D : in der Anmeldung angeführtes Dokument | Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie | L : aus andern Gründen angeführtes Dokument | A : technologischer Hintergrund | | O : mündliche Offenbarung | | P : Zwischenliteratur | | T : der Erfindung zugrunde liegende Theorien oder Grundsätze | & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument |
| KATEGORIE DER GENANNTEN DOKUMENTE | E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist | | | | | | | | | | | | | | | | |
| X : von besonderer Bedeutung allein betrachtet | D : in der Anmeldung angeführtes Dokument | | | | | | | | | | | | | | | | |
| Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie | L : aus andern Gründen angeführtes Dokument | | | | | | | | | | | | | | | | |
| A : technologischer Hintergrund | | | | | | | | | | | | | | | | | |
| O : mündliche Offenbarung | | | | | | | | | | | | | | | | | |
| P : Zwischenliteratur | | | | | | | | | | | | | | | | | |
| T : der Erfindung zugrunde liegende Theorien oder Grundsätze | & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument | | | | | | | | | | | | | | | | |



| EINSCHLÄGIGE DOKUMENTE | | | Seite 3 |
|--|--|---|---|
| Kategorie | Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile | Betrifft Anspruch | KLASSIFIKATION DER ANMELDUNG (Int. Cl. 4) |
| A | IEEE TRANSACTIONS ON ACOUSTICS, SPEECH AND SIGNAL PROCESSING, Band 32, Nr. 1, Februar 1984, Seiten 28-33, IEEE, New York, US; P.R. CAPPELLO et al.: "Optimal choice of intermediate latching to maximize throughput in VSLI circuits" * Figuren 1,2; Seite 28, rechte Spalte, Zeile 29 - Seite 29, linke Spalte, Zeile 30 * ----- | 1 | |
| Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt. | | | RECHERCHIERTE SACHGEBIETE (Int. Cl. 4) |
| Recherchenort DEN HAAG | | Abschlußdatum der Recherche 19-02-1987 | Prüfer DAVIS A.G.W. |
| <p>KATEGORIE DER GENANNTEN DOKUMENTE</p> <p>X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einem anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur T : der Erfindung zugrunde liegende Theorien oder Grundsätze</p> <p>E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</p> | | | |